

特許願 (特許第47号)

昭和47年3月6日

特許庁長官殿

1. 発明の名称

利得制御回路

2. 特許請求の範囲に記載された発明の数 2

3. 発明者

住 所 東京都大田区豊谷大塚町1番7号
アルプス電気株式会社内
氏名 五十嵐 明彦

4. 特許出願人

〒145 住 所 東京都大田区豊谷大塚町1番7号
名 称 アルプス電気株式会社
電話 東京(03) 1211(代表)
代表者 片岡 勝太郎

5.添附書類の目録

- (1) 明細書 1通
- (2) 図面 1通
- (3) 請書副本 1通

47 022986

明細書

1. 発明の名称

利得制御回路

2. 特許請求の範囲

(1) 電界効果トランジスタとバイポーラトランジスタとをカスコード接続して、前段電界効果トランジスタのソース電極を直接接地し、後段のバイポーラトランジスタはベース接地とし、バイポーラトランジスタのベース電極に印加した直流通電圧を可変として利得制御を行なう構成の利得制御回路において、電界効果トランジスタのドレイン電極とバイポーラトランジスタのエミッタ電極との間に抵抗を接続し、増巾器の入力電圧が小さいときのバイポーラトランジスタのベース電極に与える直流通電圧を電界効果トランジスタの使用限定範囲内の直流通電流のうち一番大きい時のビンチオフ電圧とバイポー

⑯ 日本国特許庁

公開特許公報

⑪特開昭 48-90653

⑬公開日 昭48.(1973)1126

⑭特願昭 47-22986

⑮出願日 昭47(1972)3.6

審査請求 未請求 (全4頁)

府内整理番号

6707 53

⑯日本分類

98(5)A11

ラトランジスタが前記直流通電流時のベース・エミッタ間電圧および前記ドレイン電極間電流・エミッタ電極間抵抗値と直流通電流との積の和よりも小とし、使用限定範囲内の直流通電流のうち一番小さい直流通電流時のビンチオフ電圧とバイポーラトランジスタが前記の一一番小さい直流通電流時のベース・エミッタ間電圧と前記ドレイン電極・エミッタ電極間抵抗値および前記の一一番小さい直流通電流の積との和よりも大きい範囲に選んだことを特徴とする増巾回路。

(2) 電界効果トランジスタのドレイン電極とバイポーラトランジスタのエミッタ電極とを直接接続し、増巾器の入力電圧が小さいときの、バイポーラトランジスタのベース電極に与える直流通電圧を、電界効果トランジスタの使用限定範囲内の直流通電流のうち一番大きいときの

ピンチオフ電圧とバイポーラトランジスタが前記直流ドレイン電流時のベース・エミッタ間電圧との和よりも小さく、電界効果トランジスタの使用限定期間内の直流ドレイン電流のうち一番小さいときのピンチオフ電圧とバイポーラトランジスタが前記の一番小さいドレイン電流時のベース・エミッタ間電圧との和よりも大きい範囲に選んだことを特徴とする増幅回路。

3. 発明の詳細な説明

本発明は VHF または UHF 帯で使用するチューナーの自動利得制御回路に關し、自動利得制御特性 (AGC 特性) の發動を抑え、且つ混波調特性をも改善した回路を提供することを目的とする。

一般に VHF または UHF 帯で使用するチューナーの高周波増幅段において電界効果トランジスタ (以下 FET と略す) とバイポーラトランジスタ (以下バイポーラと略す) とをカスコード接続す

特開昭48-90653(2)

る場合、従来は第 1 図の様な回路構成が用いられていた。同図について各部の説明をすると、(1)お上げ(2)は FET (9) のゲート用の抵抗、(3)は FET (9) のソース抵抗、(4)、(5)はバイポーラ (1) のベースバイアス抵抗、(6)、(7)、(8)はそれぞれ抵抗 (2)、(3)、(4) と並列に接続され、高周波的にバイパス効果を得るためのコンデンサ、A は信号入力端子、B は自動利得制御 (以下 AGC と略す) 用の端子、C は出力端子、D は B 電源に接続される端子である。動作について簡単に説明すると、入力端子 A から入つて来た高周波信号はソース接地された FET (9) のゲートに加えられ、その出力がベース接地されたバイポーラ (1) のエミッタに加えられ、コレクタから出力が取り出され次段に接続される。

このカスコード接続回路の特徴は、利得を大きく安定に取り出す事ができ、大入力時の AGC 効果が良好であるという利点がある反面、FET (9)

の直流ドレイン電流 (以下 I_{DSS} と略す) の發動によつて利得の差が大きく變わるため、通常、ソース電極に抵抗 (3) を挿入する手段で補正しなければならなかつた。更に AGC の方法として N 型デプレンシヨンタイプの FET の場合、C、D 端子に正電圧を加え、B を零から負電圧にするによつて、バイポーラ (1) 及び FET (9) の動作電源を低下させ、FET の相互コンダクタンス g_m 及びバイポーラの利得帯域幅積 $|T|$ を低下させて AGC 効果を得ることができるが、FET (9) の増幅特性が非直線領域となるため、第 3 次高調波が生じ、混波調特徴が劣化しやすいという欠点があつた。例えば次に示す定数を第 1 図の回路の各部に使用した場合。

1 50 KΩ

2

3 120 Ω

4 10 KΩ

5 10 KΩ

6~8 . . . 1000 P

D 12 V

9 2SK33

10 2SC461

AGC 特性は、第 3 図に示すように、FET (9) の I_{DSS} を 2 mA (曲線 F) と 12 mA (曲線 G) とした場合に、大きな差があり、減衰特性の差が大きく、最大減衰時の AGC 電圧 V_B も 1 ボルト以上の差が发生し、更に第 4 図に示す混波調特性においても減衰度 20 dB 近くにおいて妨害波電比特性が劣化するという使用上はなはだ不都合になる場合があつた。

以上のような欠点に鑑み、本発明はカスコード接続において AGC 特性の發動を抑え、且つ混波調特性をも改善した画期的な回路を提供するもの

で、その実施例を示す第2回について説明すれば（第1回と同一部分は同一の符号で示し、説明を省略する）。U1はFET(9)のドレイン電極とバイポーラU1のエミッタ電極との間に接続された抵抗、EはAGC端子である。その回路構成は基本的には第1回と同じであるが、本発明の特徴は、FET(9)のドレイン電極とバイポーラU1のエミッタ電極との間に抵抗U1を挿入し、FET(9)のソース電極を直接接地し、また、AGC用電圧 V_E は抵抗(5)を介してバイポーラU1のベース電極に加え、且つコンデンサ(8)で交流的に接地する点である。以下、この回路の原理を説明する。

第2回において、FET(9)がN型デブレツショントライプの場合、AGC電圧 V_E として正の電圧を端子Eに印加するとAGCが動作するが、除々に V_E を下げるによつてバイポーラU1のエミッタ電圧が下がり、更にFET(9)のドレイン電圧

となり、これら両式が満足する様に V_E を設定する。

前記の条件に V_E を定めると、FET(9)の I_{DSS} が $I_{DSS \cdot Max}$ のときは、FET(9)のドレイン電極ヒアースとの間の電圧がピンチオフ電圧 V_{pHMax} 以下となるため、すでにFET(9)は利得減衰を始めており、 V_E を更に減少することによつて利得の減衰が更に進んでAGC効果が得られる。

また、 I_{DSS} がきわめて小さいときは、AGC電圧 V_E を印加してもFET(9)のドレイン・ソース端子間の電圧はピンチオフ電圧(V_{pHMin})以上になつてゐるので、利得の減衰がない状態であり、AGC電圧 V_E を下げるによつてAGC効果が発生する。

すなわち、一定の値にAGC電圧 V_E を設定することによつて、 I_{DSS} の変動による利得の補正が可能となるわけである。

特開昭48-90653(3)

が低下してドレイン・ソース間電圧がピンチオフ電圧以下になると除々に利得の減衰が始まり、 V_E を零にすることによつて最大の減衰となる。このとき、AGC電圧 V_E を、FET(9)の変動のうちで一番大きい直流ドレイン電流 I_{DSS} （以下 $I_{DSS \cdot Max}$ ）時のピンチオフ電圧($V_{p Max}$)と、抵抗U1の抵抗値を R_{II} とした場合のドレイン・エミッタ間電圧 $R_{II} \cdot I_{DSS \cdot Max}$ におけるバイポーラのベース・エミッタ間電圧 $V_{BE \cdot Max}$ の和よりも小さい値に設定する。すなわち、式で表わすと

$$V_E < V_{p Max} + R_{II} \cdot I_{DSS \cdot Max} + V_{BE \cdot Max}$$

また、FET(9)の変動のうちで一番小さい直流ドレイン電流 I_{DSS} （以下 $I_{DSS \cdot Min}$ とする）時のピンチオフ電圧を V_{pMin} 、 $I_{DSS \cdot Min}$ におけるバイポーラU1のベース・エミッタ間電圧を $V_{BE \cdot Min}$ とすると

$$V_E > V_{pMin} + R_{II} \cdot I_{DSS \cdot Min} + V_{BE \cdot Min}$$

又にFET(9)の I_{DSS} が大きいときは、AGC電圧 V_E の変化に対して、本来は急激に利得が変化するが、抵抗U1が負荷達の役目をしているため、除々にAGC効果が発生する。一方、 I_{DSS} が小さいときは、抵抗U1による効果は殆んどなく、本来、AGC特性が緩やかに変化するため、例えば、第2回中の各素子の定数をそれぞれ：50KΩ、5:39KΩ、11:47Ω、8:100Ω、トランジスタは第1回と同じくした場合は第5回に示すように I_{DSS} の大小に関係なくAGC特性は平均化される。（曲線Fは $I_{DSS}=2mA$ 、曲線Gは $I_{DSS}=12mA$ のときの利得制御特性曲線である）。又にもう一つの利点として、AGC減衰をさせても、FET(9)の増幅特性曲線が平坦となるので、高調波歪の発生は少なく、第6回に示す上うに複数調節性の劣化がなく、使用上すこぶる都合がよい。

また、本発明は従来より部品点数が少なく製作が容易であり、コスト的にも有利である。前記説明では抵抗 R_{11} を使用したが、物販によりそれを省いて、 V_E を $R_{11} \cdot I_{DMax}$ 分または $R_{11} \cdot I_{UMIN}$ 分だけ減少させれば一向に差し支えない。

また、FET (8)の特性はデプレッショントライプで説明したが、エンハンスマントタイプであつても、常時ゲートに正バイアスを印加しておけば全く同様に使用可能であるし、エンハンスマントデプレッショントライプではAGC電圧 V_E の範囲を正から負へ移動させれば一向に差しつかえない。

さらに、N型の物販を示したが、P型でも電源の極性を逆にすれば同様に使用可能である。

4. 図面の簡単な説明

第1図は従来のFET-バイポーラトランジスタのカスコード接続回路、第2図は本発明による

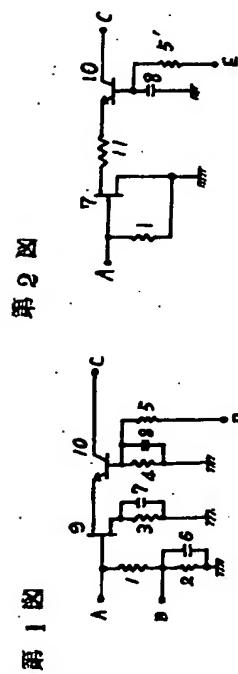
特開昭48-90653(4)

カスコード接続回路、第3図は第1図の回路を用いた場合の利得制御特性図、第4図は第1図の回路を用いた場合の混交調特性図、第5図は本発明の回路を用いた場合の利得制御特性図、第6図は本発明の回路を用いた場合の混交調特性図である。

(1)、(2)はゲート抵抗、(3)はソース抵抗、(4)、(5)はベースバイアス抵抗、(6)、(7)、(8)はバイパスコンデンサ、(9)はFET、(10)はバイポーラトランジスタ、(11)はゲート抵抗、(12)はベースバイアス抵抗、(13)は負時運用抵抗、Aは信号入力端子、BはAGC用端子、Cは出力端子、DはB端子用端子、EはAGC用端子を示す。

特許出願人 アルプス電気株式会社

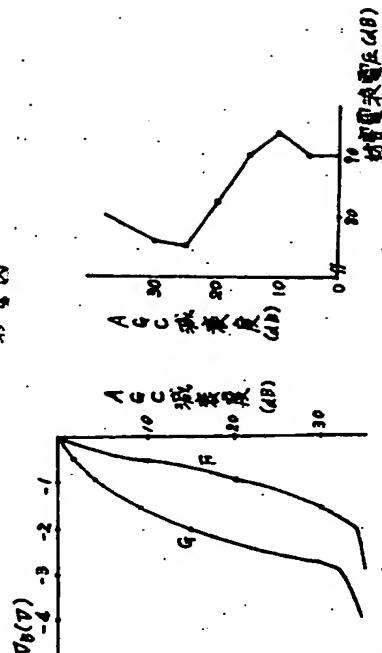
代表者 斎藤 太郎



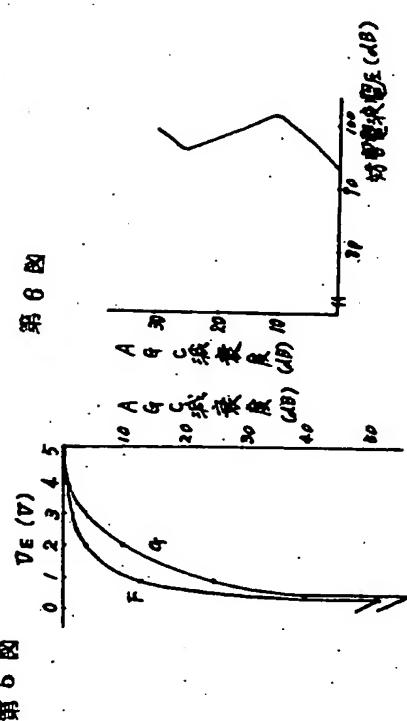
第1図

第2図

第3図



第4図



第5図

第6図